

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-062977

(43)Date of publication of application : 27.02.1992

(51)Int.Cl.

H01L 29/93

(21)Application number : 02-173043

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1990

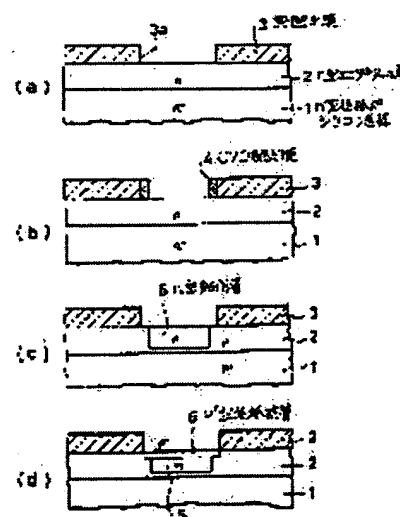
(72)Inventor : KAJIMURA TAKESHI

(54) VARACTOR DIODE AND MANUFACTURE THEROF

(57)Abstract:

PURPOSE: To increase a breakdown voltage and to largely change a capacity by a method wherein a low-resistance layer of an opposite conductivity type is formed on the surface part of an action layer of an conductivity type so as to be shallower and wider than the action layer and both ends protrude to the outside of the action layer.

CONSTITUTION: A window 3a in a prescribed size is opened and installed in a thermal oxide film 3; after that, a CVD oxide film in about 0.5 to 0.8 μ m is applied to the whole surface; an anisotropic dry etching operation is executed; and the CVD oxide film 4 is left only on the inside face of the window 3a in the film 3. Phosphorus ions are implanted in a prescribed dose and with a prescribed energy by making use of the film 3 and the remaining CVD oxide film 4 as a mask; an annealing operation is executed; and a hyperabrupt n-type action layer 5 is formed. The film 4 is removed by a wet etching operation using an HF-based chemical. Boron ions in high concentration are implanted by using the film 3 as a mask; and an annealing operation is executed. A p+ type low-resistance layer 6 is formed. The layer 6 is formed to be wider than the layer 5; and both end parts protrude to the outside of the action layer 5. Consequently, the impurity concentration on the surface part of the layer 5 is not increased, a breakdown voltage is not lowered and a large capacity change can be achieved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-62977

⑪ Int. Cl.⁵
H 01 L 29/93識別記号 庁内整理番号
H 7638-4M

⑬ 公開 平成4年(1992)2月27日

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 バラクタダイオードおよびその製造方法

⑮ 特 願 平2-173043

⑯ 出 願 平2(1990)6月30日

⑰ 発 明 者 梶 村 武 史 東京都港区芝5丁目7番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑲ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

バラクタダイオードおよびその製造方法

2. 特許請求の範囲

1. 一導電型の半導体層に形成した超階段の動作層と、前記半導体層における前記動作層の表面部に形成した逆導電型の低抵抗層とで構成され、この低抵抗層は前記動作層よりも狭くかつ大きな幅に形成され、その両端が動作層の外側に突出されていることを特徴とするバラクタダイオード。

2. 一導電型の半導体層の表面に、所要の窓を開いた第1の膜を形成する工程と、この第1の膜の窓の内側面に第2の膜を形成する工程と、前記第1の膜および第2の膜をマスクにして前記半導体層に一導電型の超階段の動作層を形成する工程と、前記第2の膜を除去した上で前記第1の膜をマスクにして前記半導体層の表面部に逆導電型の低抵抗層を形成する工程とを含むことを特徴とするバラクタダイオードの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は逆バイアス電圧を印加して容量を得るバラクタダイオードに関し、特に容量変化比の大きい超階段バラクタダイオードおよびその製造方法に関する。

〔従来の技術〕

従来のバラクタダイオードの一例を第3図に示す。これは、 n^+ 型低抵抗シリコン基板11の上に所定の不純物濃度を有する n 型エピタキシャル層12を形成し、かつその上に酸化膜13を形成し、その窓を通して所定のドーザ量、エネルギーで熱のイオン注入を行い、 10^{14} から 10^{17} cm⁻²の不純物濃度の順層を有する n 型動作層15を形成する。さらに、前記酸化膜13の窓から水素等をイオン注入あるいは拡散して p^+ 型低抵抗層16を形成したものである。

この p^+ 型低抵抗層16と n 型動作層15、つまりシリコン基板11との間に逆バイアスを印加することで、両者間の容量値が変化され、バラクタダイオードが構成される。

特開平 4-62977(2)

(発明が解決しようとする課題)

ところで、第3図に示したようなバラクタダイオードでは、通常第2図に示すような不純物濃度プロファイルとして構成される。このようなプロファイルの場合、 n 型動作層15のA部とB部の不純物濃度比が大きければ、大きな容量比を得ることができる。

しかしながら、第3図の構造では、 n 型動作層15の表面近傍において p^+ 型低抵抗層16が形成されるC部における n 型不純物の濃度が高くなるため、前記不純物濃度プロファイルにおける $p^+ - n$ 接合の端面の n 型濃度が高くなり、所望のブレークダウン電圧が得られなくなる。

この場合、C部の n 型濃度を低くするために p^+ 型低抵抗層16を熱処理等によって窄く押込むと、 $p^+ - n$ 接合を形成する n 層の濃度が低くなり、ブレークダウン電圧を高くすることはできず、大きな容量比を得ることができなくなる。

本発明の目的は、ブレークダウン電圧を高くする一方で、大きな容量比を得ることができるバ

ラクタダイオードおよびその製造方法を提供することにある。

(課題を解決するための手段)

本発明のバラクタダイオードは、一導電型の動作層の表面部に形成された逆導電型の低抵抗層が、動作層よりも幅かつ大きな幅に形成され、その両端が動作層の外側に突出された構成とする。

また、本発明の製造方法は、一導電型の半導体層の表面に、所望の窓を開口した第1の膜を形成する工程と、この第1の膜の窓の内側面に第2の膜を形成する工程と、第1の膜および第2の膜をマスクにして前記半導体層に一導電型の超階段の動作層を形成する工程と、第2の膜を除去した上で第1の膜をマスクにして半導体層の表面部に逆導電型の低抵抗層を形成する工程とを含んでいる。

(作用)

本発明によれば、逆導電型の低抵抗層が一導電型の動作層よりも大きな幅に形成され、かつその両端部が動作層の外側に突出されているため、動作層を超階段に構成してもその表面部における不

3

純物濃度の増大が回避でき、ブレークダウン電圧の低下が防止できる。

(実施例)

次に、本発明を図面を参照して説明する。

第1図(a)ないし(e)は本発明のバラクタダイオードをその製造工程順に示す縦断面図である。

先ず、第1図(a)のように、 n 型低抵抗シリコン基板1に所定の濃度、厚さの n 型エピタキシャル層2を形成し、かつその表面に1 μ m程度の熱酸化膜3を形成する。そして、この熱酸化膜3には所定の寸法の窓3aをフォトリソグラフィ技術によって開孔する。

次いで、0.5 μ m～0.8 μ m程度のCVD酸化膜を全面に付着し、かつこのCVD酸化膜を異方性ドライエッチングすることで、第1図(b)のように、熱酸化膜3の窓3aの内側面にのみCVD酸化膜4を残存させる。

次いで、第1図(c)のように、前記熱酸化膜3および残存CVD酸化膜4をマスクにし、所定

4

のドーズ量、エネルギーで荷をイオン注入し、かつアニールすることで超階段の n 型動作層5を形成する。その後、HF系薬品でのウェットエッチングにて、前記残存CVD酸化膜4を除去する。

さらに、第1図(d)のように、前記熱酸化膜3をマスクにして、高濃度のボロンをイオン注入し、かつアニールすることで p^+ 型低抵抗層6を所定の厚さに形成する。

その後、第1図(e)のように、全面に酸化膜7を形成し、この酸化膜7の p^+ 型低抵抗層6上の位置に所定の窓7aを開設し、この窓を通過して前記 p^+ 型低抵抗層6に接触されるアルミニウム電極8を形成することで、超階段バラクタダイオードチップが完成される。

この構成の超階段バラクタダイオードでは、 n 型動作層5の表面部に形成される p^+ 型低抵抗層6は、その幅が n 型動作層5よりも大きく、その両端部が n 型動作層5の外側に突出されているため、 n 型動作層5の表面部における不純物濃度が増大されることが回避される。例えば、 p^+ 型低

5

6

特開平 4-62977(3)

抵抗層 6 の両端は n 型動作層 5 よりも $0.5 \mu\text{m}$ 程度突出される。これにより、n 型動作層 5 を超階段に構成してもブレイクダウン電圧が低下されることがなく、その一方で大きな容量変化を得ることができる。

また、この超階段バラクタダイオードを形成する際には、従来の工程に CVD 酸化膜 4 の形成工程と、その異方向エッチング工程を加えるだけでよく、簡単に製造することができる。

〔発明の効果〕

以上説明したように本発明は、動作層の突頭部に形成された低抵抗層の幅を動作層よりも大きくしてその両端を外面に突出させているので、動作層を超階段に構成しても表面部における不純物濃度の増大が回避でき、ブレイクダウン電圧の低下を防止する一方で大きな容量変化を得ることができる。

また、本発明の製造方法は、第 1 の膜および第 2 の膜を利用して動作層を形成し、第 1 の膜のみを利用して低抵抗層を形成しているため、動作層

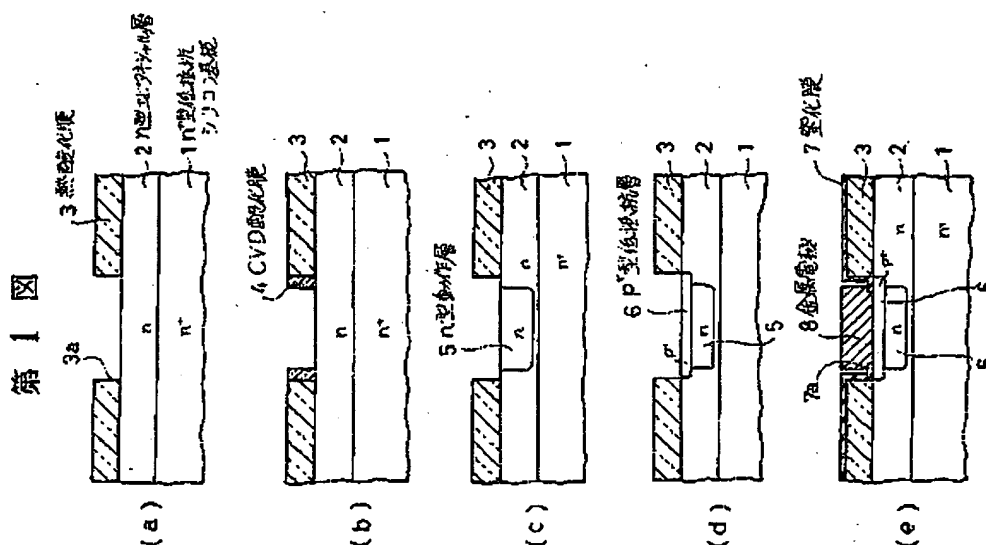
よりも大きな幅の低抵抗層を少ない工程で形成することができ、ブレイクダウン電圧が高く、かつ大きな容量変化のバラクタダイオードを容易に製造することができる。

4. 図面の簡単な説明

第 1 図 (a) ないし (e) は本発明のバラクタダイオードを製造工程順に示す縦断面図、第 2 図はバラクタダイオードの不純物濃度プロファイル図、第 3 図は従来のバラクタダイオードの縦断面図である。

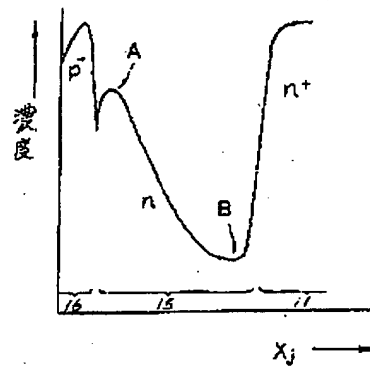
1…n⁺型低抵抗シリコン基板、2…n 型エピタキシャル層、3…熱酸化膜、4…CVD 酸化膜、5…n 型超階段動作層、6…p⁺型低抵抗層、7…酸化膜、8…アルミニウム電極、11…n⁺型低抵抗シリコン基板、12…n 型エピタキシャル層、13…酸化膜、15…n 型動作層、16…p⁺型低抵抗層。

代理人 弁理士 鈴木 章



特開平 4-62977(4)

第 2 図



第 3 図

